

PAT-NO: JP02001229683A

DOCUMENT-IDENTIFIER: JP 2001229683 A

TITLE: METHOD FOR ERASING
INFORMATION STORED IN FLASH MEMORY
ELEMENT

PUBN-DATE: August 24, 2001

INVENTOR-INFORMATION:

NAME

COUNTRY

JUN, SEIBUN

N/A

RI, HEEKI

N/A

CHO, SHUBIN

N/A

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HYNIX SEMICONDUCTOR INC

N/A

APPL-NO: JP2000394109

APPL-DATE: December 26, 2000

INT-CL (IPC): G11C016/02, H01L021/8247 ,
H01L027/115 , H01L029/788
, H01L029/792

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for erasing information stored in a flash memory element by which erasing operations can be performed in a byte unit by performing erasure by using a hot hole injecting method.

SOLUTION: In a method for erasing information stored in a flash memory element, erasure is performed, in a state in which a ground potential is applied to a source and first voltage V_d is applied to a drain, by a hot hole injecting method in which bias voltage V_g is applied to a gate stepwise from high voltage to low voltage. In this erasure, the bias voltage of the floating gate of a flash memory element is set so that second voltage or third voltage being an injecting condition of a hot hole is kept, and gate bias voltage is desirably controlled in accordance with a coupling ratio.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-229683

(P2001-229683A)

(43)公開日 平成13年8月24日(2001.8.24)

(51)Int.Cl. ⁷	識別記号	F I	ページ* (参考)
G 1 1 C	16/02	G 1 1 C	17/00
H 0 1 L	21/8247	H 0 1 L	27/10
	27/115		29/78
	29/788		
	29/792		

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21)出願番号 特願2000-394109(P2000-394109)
 (22)出願日 平成12年12月26日(2000.12.26)
 (31)優先権主張番号 1999-64010
 (32)優先日 平成11年12月28日(1999.12.28)
 (33)優先権主張国 韓国 (K R)

(71)出願人 591024111
 株式会社ハイニックスセミコンダクター
 大韓民国京畿道利川市夫鉢邑牙美里山136-1
 (72)発明者 ▲ジュン▼ 盛 文
 大韓民国京畿道利川市夫鉢邑牙美里 現代
 アパート301-2002
 (72)発明者 李 ▲へー▼ 睿
 大韓民国京畿道利川市大月面已洞里 現代
 電子アパート107-806
 (74)代理人 100065215
 弁理士 三枝 英二 (外 8 名)

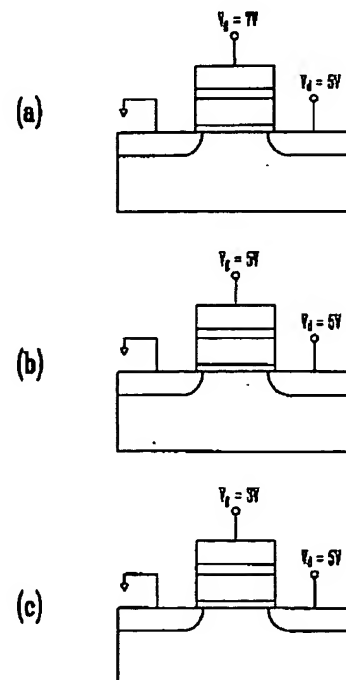
最終頁に続く

(54)【発明の名称】 フラッシュメモリ素子における記憶情報の消去方法

(57)【要約】

【課題】 ホットホール注入方法を用いて消去を行なうことにより、バイト単位で消去動作を行なうことができるフラッシュメモリ素子における記憶情報の消去方法を提供すること。

【解決手段】 本発明のフラッシュメモリ素子における記憶情報の消去方法は、ソースに接地電位を印加しドレインに第1電圧(V_d)を印加した状態で、ゲートに高電圧から低電圧に段階的なバイアス電圧(V_g)を印加することによるホットホール注入方法によって消去を行なう。この際、フラッシュメモリ素子のフローティングゲートバイアス電圧は、ホットホール注入条件の第2電圧ないし第3電圧が維持されるようにし、ゲートバイアス電圧は、カップリング比に応じて調節されることが望ましい。



【特許請求の範囲】

【請求項1】フラッシュメモリ素子における記憶情報の消去方法において、

ソースに接地電位を印加し、ドレインに第1電圧を印加した状態で、ゲートに高電圧から低電圧に段階的なバイアス電圧を印加することにより、ホットホール注入を行なうことを特徴とするフラッシュメモリ素子における記憶情報の消去方法。

【請求項2】 前記フラッシュメモリ素子のフローティングゲートバイアス電圧は、ホットホール注入条件の第2電圧ないし第3電圧を維持するようにすることを特徴とする請求項1に記載のフラッシュメモリ素子における記憶情報の消去方法。

【請求項3】 前記ゲートバイアス電圧を、カップリング比に応じて調節することを特徴とする請求項1に記載のフラッシュメモリ素子における記憶情報の消去方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフラッシュメモリ素子における記憶情報の消去方法に係り、特にソースに接地電位を印加しドレインに5Vを印加した状態で、ゲートに高電圧から低電圧に段階的なバイアス電圧を印加することによるホットホール注入によって、フラッシュメモリ素子に記憶されている情報を消去する方法に関する。

【0002】

【従来の技術】一般に、フラッシュメモリ素子に記憶されている情報は、ホットキャリア注入方法を用いてフローティングゲートに電子を貯えてプログラム動作を行ない、FNトンネリング方法を用いて、フローティングゲートに貯えられた電子をソースまたはバルクに放出させることによって消去されている。

【0003】フラッシュメモリ素子の一般的なプログラム方法は、図1に示すように、ゲート端子に10V程度のポジティブ高電圧を印加し、ドレイン端子に約5Vの電圧を印加し、ソース端子はフローティングさせる。このようなバイアス電圧を印加すると、ホットキャリア注入(hot carrier injection)によって、ソースの電子がフローティングゲートに注入され、プログラム動作が行なわれる。このようなホットキャリア注入方法を用いたプログラム方法では、1バイトをプログラムするのに約7 μ s程度の時間がかかる。

【0004】フラッシュメモリ素子における記憶情報を消去するための従来の方法では、図2に示されたセルの概略断面図から分かるように、ゲート端子に-9Vのネガティブ高電圧を印加し、ソース端子及びドレイン端子をフローティングさせ、基板に9V程度のポジティブ高電圧を印加する。このようなバイアス電圧を印加すると、FNトンネリングによってフローティングゲートに貯えられた電子がソースまたはバルクに放出されるた

め、消去動作が行なわれる。

【0005】前記FNトンネリング方法を用いた消去方法は、1セクタを消去させるために1秒程度の長い時間を必要とする。また、特定ビットのデータを「0」から「1」状態に変化させるために512Kセルを全て「1」状態に消去させた後、さらに特定ビットを「0」状態にプログラムしなければならないという短所がある。すなわち、バイト消去が不可能なので、実装に一層多くの時間がかかる。

【0006】

【発明が解決しようとする課題】本発明の目的は、ホットホール注入方法を用いて消去を行なうことにより、バイト単位で記憶情報の消去を行なうことができるフラッシュメモリ素子における記憶情報の消去方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の消去方法では、ソースに接地電位を印加し、ドレインに第1電圧を印加した状態で、ゲートに高電圧から低電圧に段階的なバイアス電圧を印加することによるホットホール注入によって消去を行なう。この際、前記フラッシュメモリ素子のフローティングゲートバイアス電圧は、ホットホール注入条件の第2電圧ないし第3電圧を維持するようにし、前記ゲートバイアス電圧は、カップリング比に応じて調節されることが望ましい。

【0008】

【発明の実施の形態】以下、添付図に基づいて本発明に係る実施の形態を詳細に説明する。図3は、ドレインバイアス電圧によるゲートバイアス電圧とゲート電流との関係を示すグラフであり、本発明の原理を説明するためのものである。

【0009】このグラフは、フラッシュメモリ素子ではない一般的なトランジスタのゲートに適用された例である(1982年IEEEから抜粋)。図3に示すように、チャネルホットエレクトロン(C.H.E)は、ゲート電圧(V_g)とドレイン電圧(V_d)がほぼ同一の時に発生し、ドレインアバランシェホットエレクトロン(エレクトロンで表示)は、ドレインバイアス電圧に関係なく、ゲート電圧が3~4Vの時に発生する。また、ドレインアバランシェホットホール(ホールで表示)は、ドレインバイアス電圧に関係なくゲート電圧が1.8Vの時に発生する。

【0010】したがって、本発明に係るフラッシュメモリ素子のフローティングゲートにホットホールを注入するためには、前記のようにフローティングゲート電圧は、1.8V(第2電圧)~2.0V(第3電圧)程度を維持することが必要である。

【0011】まず、前述のような原理をフラッシュメモリ素子のプログラム方法に適用する方法について、図1を再度使用して説明する。

【0012】フラッシュメモリ素子は、ホットエレクトロン注入方法によってプログラムされる。ホットエレクトロンを注入してプログラム動作を行なうためには、ゲートバイアス電圧とドレインバイアス電圧がほぼ同一でなければならない。ところが、フラッシュメモリ素子の駆動方法は、フローティングゲートバイアス電圧によって決定される。このフローティングゲートバイアス電圧は、セルのカップリング比によって左右される。

【0013】例えば、セルのカップリング比を0.55と仮定した時、プログラムを行なうためのゲートバイアス電圧は9V、ドレインバイアス電圧は5Vであり、実際のフローティングゲートバイアス電圧は、ゲートバイアス電圧にカップリング比を掛けた値なので、約5Vである。したがって、フローティングゲートバイアス電圧とドレインバイアス電圧がほぼ同一であるため、ホットエレクトロンがフローティングゲートに注入される。この注入によって、完全にプログラムされた場合、フローティングゲートバイアス電圧は約-2V程度となる。

【0014】図4(a)ないし図4(c)は、本発明に係るフラッシュメモリ素子における記憶情報の消去方法を説明するためのセルの概略断面図であり、ゲートバイアス電圧を段階的に低下させながら印加して、記憶情報を消去することを説明するための図である。

【0015】図4(a)の場合、セルのカップリング比を0.55と仮定し、ソースに接地電位を印加した状態でゲートに7V、ドレインに5V(第1電圧)のバイアス電圧を印加すると、フローティングゲートバイアス電圧は3.85Vとなる。ところが、初期状態がプログラム状態なので、フローティングゲートに蓄電された電圧-2Vを勘案すると、フローティングゲートバイアス電圧は1.85Vになる。これは図3で説明したように、ホットホールが発生する条件となって、フローティングゲートにホットホールが注入されて記憶情報が消去された状態となる。

【0016】ところで、ホットホールが注入されるにつれてフローティングゲートの電位が段々高くなるので、ゲートバイアス電圧も調整しなければならない。すなわち、消去動作を行なう時、図4(b)及び図4(c)に

示すように、ゲートバイアス電圧をそれぞれ5V及び3Vに下げて印加しなければならない。

【0017】図4(b)は、ゲートバイアス電圧を5Vに下げて印加する場合である。これにより、フローティングゲートバイアス電圧は2.75Vになる。一方、フローティングゲートの電位は初期の-2Vから-0.9Vに上昇するため、これを勘案すると、フローティングゲートバイアス電圧は1.85Vになる。

【0018】図4(c)は、ゲートバイアス電圧を3Vに下げて印加する場合である。これにより、フローティングゲートバイアス電圧は1.65Vになる。一方、フローティングゲートの電位は0.2Vに上昇するため、これを勘案すると、フローティングゲートバイアス電圧は1.85Vになる。

【0019】このように本発明に係るフラッシュメモリ素子における記憶情報の消去方法では、フローティングゲートの電圧が、ホットホール注入条件である約1.8~2Vのバイアス電圧を維持するようにする。これはセルのカップリング比に応じて、ゲートに印加するバイアス電圧を変化させる必要があることを意味する。

【0020】

【発明の効果】上述のように、本発明の方法では、FNTトンネリング方法ではなく、ホットホール注入方法によってフラッシュメモリ素子の記憶情報を消去するので、消去時間を短縮することができ、また、バイト単位の消去が可能である。

【図面の簡単な説明】

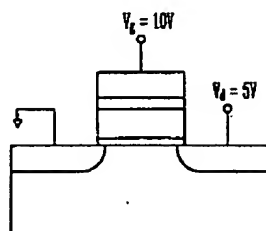
【図1】一般的なフラッシュメモリ素子のプログラム方法を説明するためのセルの概略断面図である。

【図2】従来のフラッシュメモリ素子における記憶情報の消去方法を説明するためのセルの概略断面図である。

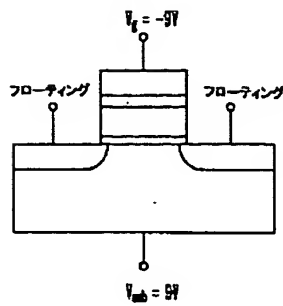
【図3】ドレインバイアス電圧とゲートバイアス電圧とゲート電流との関係を示すグラフである。

【図4】本発明に係るフラッシュメモリ素子における記憶情報の消去方法を説明するためのセルの概略断面図で、(a)はゲート電圧が7V、(b)は同じく5V、(c)は同じく3Vの場合である。

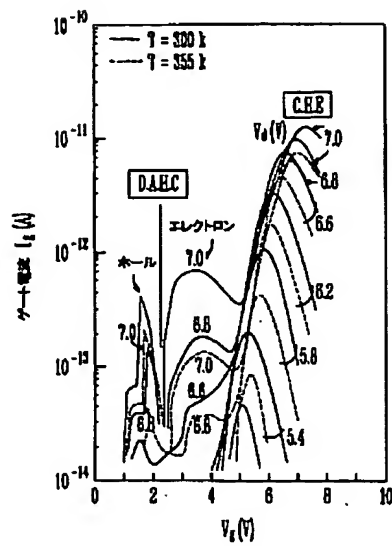
【図1】



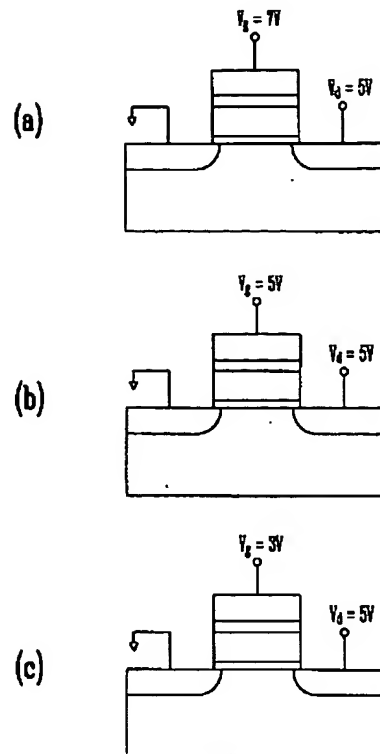
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 ▲チョウ▼ 秀 敏
大韓民国京畿道城南市盆▲タン▼區野塔洞
209番地 メーワマウル313-303